

WEST

Generate Collection

Print

L3: Entry 1 of 1

File: JPAB

Nov 28, 1997

PUB-NO: JP409307067A

DOCUMENT-IDENTIFIER: JP 09307067 A

TITLE: SEMICUSTOM SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: November 28, 1997

INVENTOR-INFORMATION:

NAME

COUNTRY

SHINAGAWA, NORIAKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

OKI ELECTRIC IND CO LTD

APPL-NO: JP08121193

APPL-DATE: May 16, 1996

INT-CL (IPC): H01 L 27/04; H01 L 21/822; H01 L 21/3205

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semicustom semiconductor integrated circuit device in which the capacitance of the decoupling capacitor can be increased even if the number of pins on the gate array is increased and the pad area is reduced.

SOLUTION: A semicustom semiconductor integrated circuit device is provided with multilayer wiring. A lower insulating layer 12 is formed in an unassigned bonding pad area on a substrate 11. A pattern of a lower wiring layer 13 is made on the lower insulating layer 11 and is covered by an intermediate insulating layer 14. A pattern of an intermediate layer 15 is made on the intermediate insulating layer 14 and is covered by an upper insulating layer 16. Further, a pattern of an upper wiring layer 17 is made on the upper insulating layer 16 and is covered by a passivation layer 18. A power supply line VDD is connected to the lower wiring layer 13, a ground line GND is connected to the intermediate layer 15, and another power supply line VDD is connected to the upper wiring layer 17 to constitute a decoupling capacitor.

COPYRIGHT: (C) 1997, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-307067

(43) 公開日 平成9年(1997)11月28日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/04		H 0 1 L 27/04	C
	21/822		21/88	Z
	21/3205			

審査請求 未請求 請求項の数2 O L (全 4 頁)

(21) 出願番号 特願平8-121193
(22) 出願日 平成8年(1996)5月16日

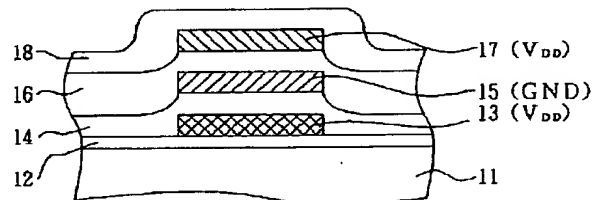
(71) 出願人 000000295
沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号
(72) 発明者 品川 徳明
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内
(74) 代理人 弁理士 清水 守 (外1名)

(54) 【発明の名称】 セミカスタム半導体集積回路装置

(57) 【要約】

【課題】 ゲートアレイの多ピン化、かつ、パッド面積が縮小化される場合においても、そのデカップリングコンデンサの容量値を増やすことができるセミカスタム半導体集積回路装置を提供する。

【解決手段】 多層配線を有するセミカスタム半導体集積回路装置において、未使用のボンディングパッド領域に、基板11上に下層絶縁層12が形成され、その上に下層配線層13がパターンニングされ、その上を中間絶縁層14で覆っている。その上に中間配線層15をパターンニングし、その上を上層絶縁層16で覆っている。さらに、上層絶縁層16上に上層配線層17をパターンニングし、その上をパッシベーション膜18で覆うようにしている。そこで、下層配線層13には電源線V_{DD}を接続し、中間配線層15には接地線GNDを接続し、上層配線層17には電源線V_{DD}を接続し、デカップリングコンデンサを構成する。



11: 基板	15: 中間配線層
12: 下層絶縁層	16: 上層絶縁層
13: 下層配線層	17: 上層配線層
14: 中間絶縁層	18: パッシベーション膜

【特許請求の範囲】

【請求項1】 多層配線を有するセミカスタム半導体集積回路装置において、

未使用のボンディングパッド領域に、3層以上の全配線層と該配線層の間の絶縁層から構成されるとともに、少なくとも、下層配線層に第1の電位を印加し、中間配線層に第2の電位を印加し、上層配線層に第1の電位または第3の電位を印加するコンデンサを具備することを特徴とするセミカスタム半導体集積回路装置。

【請求項2】 多層配線を有するセミカスタム半導体集積回路装置において、

未使用のボンディングパッド領域に、少なくとも、拡散層を有する基板と、下層絶縁膜と下層配線層としてのポリシリコン層と中間絶縁膜と中間配線層と上層絶縁膜と上層配線層とを具備することを特徴とするセミカスタム半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、セミカスタム集積回路装置に係り、特に、セミカスタムLSI内部に、大容量のデカップリングコンデンサを搭載した、セミカスタムLSIに関するものである。

【0002】

【従来の技術】従来、セミカスタムLSI内部に、大容量のデカップリングコンデンサを搭載する方法としては、特開昭63-142656号公報に開示されるものがあった。かかる従来のセミカスタム半導体集積回路では、未使用のボンディングパッド領域、未使用の入出力セル領域又は未使用の基本セル領域のうち少なくとも1つの領域に、第1、第2の導電層及びこれらの導電層の間の層間絶縁膜から構成されるコンデンサを構成するようにしている。

【0003】

【発明が解決しようとする課題】しかしながら、近年のプロセスの微細化や多層配線化により、セミカスタムLSIは大規模、高集積化、高速化し、従来よりさらにデカップリング容量が重要視されているが、一方でセミカスタムLSIは多ピン化しており、そのために、未使用パッド数は、従来よりも少なくなっており、しかも多ピン化のため、パッド面積は縮小化しており、それにより、チップ全体としては未使用パッドをデカップリング容量として得た場合、デカップリング容量値は減少してきている。

【0004】本発明は、上記問題点を除去し、ゲートアレイの多ピン化、かつ、パッド面積が縮小化される場合においても、そのデカップリングコンデンサの容量値を増やすことができるセミカスタム半導体集積回路装置を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、上記目的を達

成するために、

〔1〕多層配線を有するセミカスタム半導体集積回路装置において、未使用のボンディングパッド領域に、3層以上の全配線層とこれらの配線層の間の絶縁層から構成されるとともに、少なくとも、下層配線層に第1の電位を印加し、中間配線層に第2の電位を印加し、上層配線層に第1の電位または第3の電位を印加するコンデンサを設けるようにしたものである。

【0006】したがって、ゲートアレイの多ピン化、かつ、パッド面積が縮小化する場合においても、そのデカップリングコンデンサの容量値を増やすことができる。

〔2〕多層配線を有するセミカスタム半導体集積回路装置において、未使用のボンディングパッド領域に、少なくとも、拡散層を有する基板と、下層絶縁膜と、下層配線層としてのポリシリコン層と、中間絶縁膜と、中間配線層と、上層絶縁膜と、上層配線層とを設けるようにしたものである。

【0007】したがって、エンベディド・アレイ(Embedded Array)の未使用ボンディングパッド領域に形成されるデカップリングコンデンサの容量値を増やすことができる。

【0008】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の第1実施例を示す半導体集積回路装置の概略レイアウトを示す図、図2は図1のA部拡大平面図、図3は図2のA-A'断面図(未使用ボンディングパッド部の断面図)、図4は図2のB-B'断面図(その1)(通常の使用ボンディングパッドの断面図)、図5は図2のB-B'断面図(その2)(通常の使用ボンディングパッドの断面図)である。

【0009】図1に示すように、基本セル(ゲートアレイ)4の周囲に、未使用ボンディングパッド2を含む通常の使用ボンディングパッド1が形成され、入出力セル3を介して基本セル4が配置されている。なお、5は電源リング配線である。そして、図3～図5において、11は基板、12は下層絶縁層、13は下層配線層、14は中間絶縁層、15は中間配線層、16は上層絶縁層、17は上層配線層、18はパッシベーション膜である。

【0010】ボンディングパッドは、図1及び図2に示すように、配列されており、その内に未使用ボンディングパッド2を有している。その未使用ボンディングパッド2の断面を見ると、図3に示すように、基板11上に下層絶縁層12が形成され、その上に下層配線層13がパターンニングされ、その上を中間絶縁層14で覆っている。その上に中間配線層15をパターンニングし、その上を上層絶縁層16で覆っている。さらに、上層絶縁層16上に上層配線層17をパターンニングし、その上をパッシベーション膜18で覆うようにしている。

【0011】そして、下層配線層13には電源線V_{DD}を

接続し、中間配線層15は接地線GNDを接続し、上層配線層17には電源線V_{DD}を接続する。このようにして、デカップリングコンデンサを構成することができる。一方、使用ボンディングパッド1の断面は、図4に示すように、中間配線層15と上層配線層17との間は、ビア19により接続されている。

【0012】あるいは、図5に示すように、下層配線層13や中間配線層15が現れることなく、上層配線層17が形成されている。このように、通常ボンディングパッドは、3層配線のプロセスの場合、上層配線層17と中間配線層15で構成されている。あるいは上層配線層17のみで構成される。

【0013】上記したように、本発明の第1実施例によれば、1つの未使用ボンディングパッド2で、従来の方法のものよりも2倍の容量が得られるので、今まで必要としていた未使用ボンディングパッド数の1/2で、同一の効果が得られる。これにより、多ピン化により、未使用パッドが少ないセミカスタムLSIや、多ピン化に対応してボンディングパッドの面積が小さくなったセミカスタムLSIでも十分なデカップリング容量が得られ

る。

【0014】図6は本発明の第2実施例を示すボンディングパッド部の断面図である。この実施例では、図示しないが、ゲートアレイの周囲に未使用ボンディングパッドを含むボンディングパッドが形成され、入出力セルを介して基本セルが配置されており、更に、この基本セル内にDRAM（ダイナミック・ランダム・アクセス・メモリ）が設けられるエンベディッド・アレイの未使用ボンディングパッド領域に形成されるデカップリングコンデンサに関する。

【0015】図6に示すように、シリコン基板21には接地線GNDが接続されるn⁺拡散層22が形成されており、その基板上に下層絶縁層23が形成され、その上に電源線V_{DD}が接続されるポリシリコンからなる下層配線層24が形成される。また、その上に中間絶縁層25が形成され、その上に接地線GNDが接続される中間配線層26が形成されている。更に、その上に上層絶縁層27が形成され、その上に電源線V_{DD}が接続される上層配線層28が形成されて、その上をバッシベーション膜29で覆うようにしている。

【0016】上記実施例では、3層配線層の場合について述べたが、3層配線層以上の配線層に適用できることは言うまでもない。また、各配線層への電位の印加は、デカップリングコンデンサの容量を向上させることがで

きるのであれば、種々の態様に変更することが可能である。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0017】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

（1）請求項1記載の発明によれば、ゲートアレイの多ピン化、かつ、パッド面積が縮小化する場合においても、そのデカップリングコンデンサの容量値を増やすことができる。

【0018】（2）請求項2記載の発明によれば、エンベディッドゲートアレイの未使用ボンディングパッド領域に形成されるデカップリングコンデンサの容量値を増やすことができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す半導体集積回路装置の概略レイアウトを示す図である。

【図2】図1のA部拡大平面図である。

【図3】図2のA-A'断面図（未使用ボンディングパッド部の断面図）である。

【図4】図2のB-B'断面図（その1）（通常の使用ボンディングパッドの断面図）である。

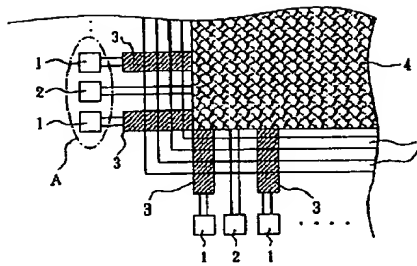
【図5】図2のB-B'断面図（その2）（通常の使用ボンディングパッドの断面図）である。

【図6】本発明の第2実施例を示すボンディングパッド部の断面図である。

【符号の説明】

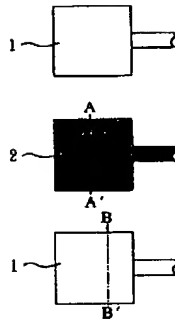
- | | |
|--------|--------------------|
| 1 | 通常の使用ボンディングパッド |
| 2 | 未使用ボンディングパッド |
| 3 | 入出力セル |
| 4 | 基本セル（ゲートアレイ） |
| 5 | 電源リング配線 |
| 11 | 基板 |
| 12, 23 | 下層絶縁層 |
| 13, 24 | 下層配線層 |
| 14, 25 | 中間絶縁層 |
| 15, 26 | 中間配線層 |
| 16, 27 | 上層絶縁層 |
| 17, 28 | 上層配線層 |
| 18, 29 | バッシベーション膜 |
| 19 | ビア |
| 21 | シリコン基板 |
| 22 | n ⁺ 拡散層 |

【図1】

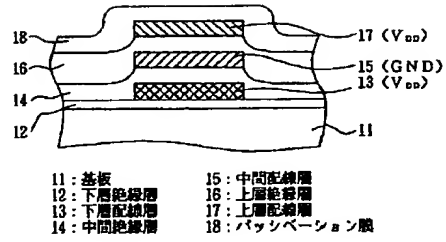


- 1: 通常の使用ボンディングパッド
 2: 未使用ボンディングパッド
 3: 入出力セル
 4: 基本セル (ゲートアレイ)
 5: 電圧リング配線

【図2】

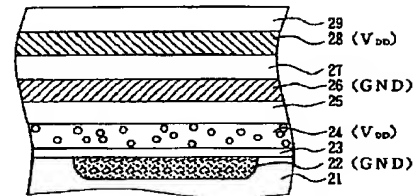


【図3】

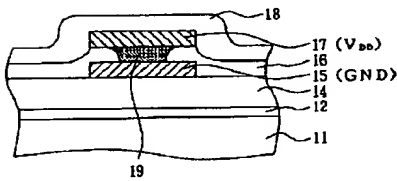


- 11: 基板
 12: 下層絶縁層
 13: 下層配線層
 14: 中間絶縁層
 15: 中間配線層
 16: 上層絶縁層
 17: 上層配線層
 18: パッシベーション膜

【図6】



【図4】



【図5】

